

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048095
(43)Date of publication of application : 26.02.1993

(51)Int.Cl. H01L 29/784
H01L 21/20
H01L 21/205
H01L 27/12

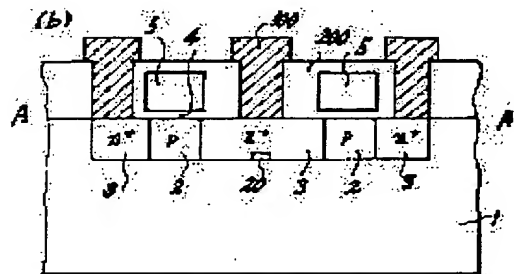
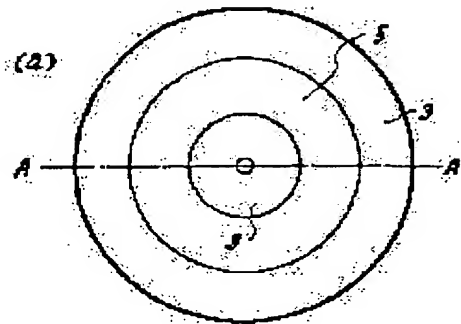
(21)Application number : 03-221175 (71)Applicant : CANON INC
(22)Date of filing : 07.08.1991 (72)Inventor : KITAJIMA NOBUO
MORISHITA MASAKAZU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

(57)Abstract:

PURPOSE: To prevent effect by quantity of defects on mobility of carrier by causing free carrier of a semiconductor device to run along the crystal growth direction, except for the area near the growth originating point.

CONSTITUTION: A p-type channel region 2 of nMOS transistor and n+ type regions which will become a source and a drain are provided on a quartz glass substrate 1. Moreover, an insulating film 4, a gate electrode 5, a nitride region 20 which will become a seed, a metal 100 which will become an electrode and an interlayer insulating film 200 are also formed. After Si is grown on a circular box by the gas phase epitaxy method, it is selectively polished to produce a substrate, a circular gate electrode 5 is formed to prepare a OS transistor. With introduction of such structure, defect of gas phase epitaxy enters radially, the carrier runs in the crystal growth direction and also runs along the defects, without crossing the radial defects.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
21/20		9171-4M		
21/205		7454-4M		
27/12		8728-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 F
			審査請求 未請求	請求項の数7(全 6 頁)

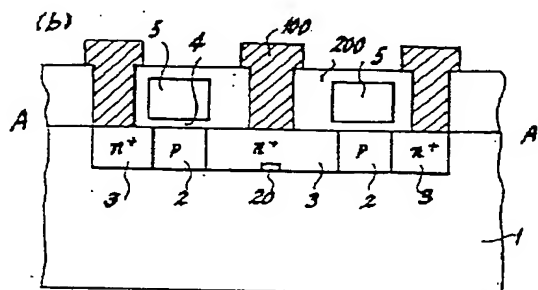
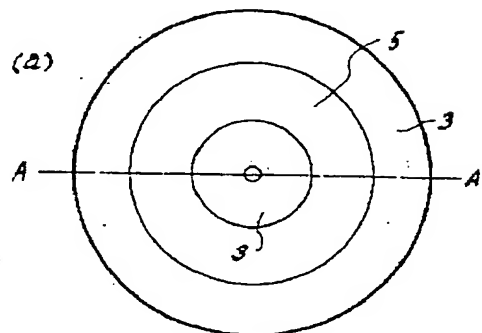
(21)出願番号	特願平3-221175	(71)出願人	000001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成3年(1991)8月7日	(72)発明者	北島 信夫 東京都大田区下丸子3丁目30番2号 キャ ノン株式会社内
		(72)発明者	森下 正和 東京都大田区下丸子3丁目30番2号 キャ ノン株式会社内
		(74)代理人	弁理士 山下 稔平

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 結晶欠陥の多少により特性が左右されず、集積度の高い半導体装置を実現する。

【構成】 絶縁基体上に結晶の成長起点を有し、選択的に結晶成長させた半導体基体に作製した半導体装置において、前記半導体装置の自由キャリアを、前記成長起点近傍を除き、且つ、前記結晶成長方向に沿って走行させることを特徴とした半導体装置であり、前記半導体装置が、少なくともソース、ドレイン、ゲート、チャネル部を有する絶縁ゲート型トランジスタであって、前記ゲート領域が前記成長起点をとり囲む様に配置されたことを特徴とする。



【特許請求の範囲】

【請求項1】 絶縁基体上に結晶の成長起点を有し、選択的に結晶成長させた半導体基体に作製した半導体装置において、

前記半導体装置の自由キャリアを、前記成長起点近傍を除き、且つ、前記結晶成長方向に沿って走行させることを特徴とした半導体装置。

【請求項2】 前記半導体装置が、少なくともソース、ドレイン、ゲート、チャネル部を有する絶縁ゲート型トランジスタであって、前記ゲート領域が前記成長起点をとり囲む様に配置されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記半導体装置が、エミッタ、ベース、コレクタを有するトランジスタであり、該ベースが、前記成長起点をとり囲む様に配置されたことを特徴とする請求項1に記載の半導体装置。

【請求項4】 キャリア走行領域の平面形状が、5角形以上の多角形あるいは円形であることを特徴とした請求項1に記載の半導体装置。

【請求項5】 一つの前記成長起点から成長した結晶中に、複数の半導体装置を形成することを特徴とする請求項1に記載の半導体装置。

【請求項6】 請求項1に記載の半導体装置の製造方法において、絶縁基体上の円形凹部に結晶の成長起点を有し、該成長起点から結晶成長させることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1に記載の半導体装置の製造方法において、絶縁基体上の5角形以上の多角形凹部に結晶の成長起点を有し、該成長起点から結晶成長させることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 絶縁膜上に形成された半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年、一部の半導体装置において、特性を高めるため、絶縁基板上に良質な単結晶の形成方法が求められている。

【0003】 このような良質な単結晶の形成方法の一つとして、絶縁基板上に核形成密度の小さい非核形成面と、単一核のみより結晶成長するに十分小さい面積を有し、核形成密度の大きい核形成面とを有する堆積表面に、気相エピタキシー等の結晶形成処理を施して、核形成面上に配した単一核から単結晶を成長させる技術（以下、センタキシーと呼ぶ）がある。

【0004】 図8は、このようなセンタキシー技術による従来の結晶形成方法を示す図であり、図では一辺Lのボックス（核形成面）の中心に結晶成長の起点となる単一核（シード）を配置し、気相センタキシーにより、シードを中心としてボックス内に結晶を成長させるもので

ある。

【0005】 また、図6（a）はこのようにして成長させた結晶を示す平面図である。

【0006】 また図9は、このような結晶を加工して形成した、従来のセンタキシー技術により形成されたMOSトランジスタの平面図（a）及び断面図（b）である。

【0007】

【発明が解決しようとしている課題】 従来、センタキシーの気相成長によるデバイスは、図8の従来例に示す如く、一辺Lの正方形のボックスに、中心の核形成起点（シード）から核成長させて作製していた。そのため、図6（a）に示すように、少なくとも正方形のボックスの角まで結晶を成長させるためには、 $\sqrt{2}L$ の直径まで成長させる必要があった。

【0008】 また、この結晶は、ランダムな方向に多角形状に成長するため、互いに結晶がぶつからないためにはシードの配置をそれぞれLの間隔にはできず、少なくとも $\sqrt{2}L$ にしなければならず、形成密度が上げられないという問題があった。

【0009】 （これは、石英上に形成する場合、結晶が互いにぶつかると、SiとSiO₂の膨張係数の差から石英ガラス側にクラックが入ることからも避ける必要がある。）また、気相、固相センタキシーでは成長が本質的に放射状になるため、欠陥がシードを中心として放射状に入るのであるが、図9で示す如く、従来、ゲートがそのシードの上に形成されているため、欠陥を横切ってキャリアが走行することになり、その欠陥の多少により、MOSトランジスタのキャリアの移動度が大きく影響され、MOSトランジスタの応答特性に大きなバラツキが出るという問題があった。

【0010】 また、回路としては、移動度の最も小さいものに律速されるので、非常に大きな問題となっていた。

【0011】

【課題を解決するための手段】 本発明は、上述した課題を解決するための手段として、絶縁基体上に結晶の成長起点を有し、選択的に結晶成長させた半導体基体に作製した半導体装置において、前記半導体装置の自由キャリアが、前記成長起点近傍を除き、且つ、前記結晶成長方向に沿って走行することを特徴とした半導体装置を有する。

【0012】 また、前記半導体装置が、少なくともソース、ドレイン、ゲート、チャネル部を有する絶縁ゲート型トランジスタであって、前記ゲート領域が前記成長起点をとり囲む様に配置されたことを特徴とする。

【0013】 また、前記ゲート領域を複数有することを特徴とする。

【0014】 また、前記半導体装置が、エミッタ、ベース、コレクタを有するトランジスタであり、該ベース

が、前記成長起点をとり囲む様に配置されたことを特徴とする。

【0015】また、キャリア走行領域の平面形状が、5角形以上の多角形あるいは円形であることを特徴とする。

【0016】また、絶縁基体上の円形または5角形以上の凹部に結晶の成長起点を有し、該成長起点から結晶成長させることを特徴とする半導体装置の製造方法により、上記課題を解決しようとするものである。

【0017】

【作用】本発明によれば、核成長させるボックスを、少なくとも5角形以上、または円形とすることにより、成長した結晶がぶつからないようにするとともに、形成密度を上げることができる。

【0018】また欠陥に対して、ほぼ垂直にゲート領域を設け、欠陥を横切らない様に、デバイスを構成し、また欠陥の集中しているシード付近はキャリアの走行領域として使わないような構成とすることにより、キャリアの移動度が欠陥の多少により、影響されることを防止できる。

【0019】また、同一ボックス中に、複数個のトランジスタを設け、且つ、そのボックス形状を活かした設計を行なうことにより、半導体素子の形成密度をより高くすることができる。

【0020】

【実施例】（実施例1）図1は、本発明の一実施例を示す図であり、（a）図は、半導体素子領域を特に示す平面図、（b）図は、電極等を含めた場合の（a）図のA-A'断面図である。

【0021】図1において、1は石英ガラス基板、2はnMOSTランジスタのP形チャネル領域、3はソース及びドレインになるn⁺領域である。

【0022】また4はゲート絶縁膜、5はゲート電極、20はシードとなる窒化膜領域、100は電極となる金属、200は層間絶縁膜である。

【0023】本実施例の半導体装置は、後述するように、円形のボックスに、気相センタキシー法により、Siを結晶成長後、選択研磨を行ない、基板を作成後、円形のゲート電極5を作成してMOSTランジスタを作成したものである。

【0024】気相センタキシーの欠陥はシードから放射状に入るので、本実施例の様な構造にすると、キャリアは結晶成長方向に走行し、放射状の欠陥を横切らず、欠陥に沿って走行するようになる。

【0025】図2は、従来例（（a）図）と本発明（（b）図）におけるMOSTランジスタのキャリアの移動度をヒストグラムで表わしたものである。

【0026】（a）図の従来例では、欠陥を横切るものが多いため、移動度は50 cm² / v · secにピークをもっていたが、（b）図に示す本発明においては、1

00 cm² / v · secにピークを持つようになり、ほぼ2倍の移動度に改善された。すなわち、本発明によれば、欠陥に沿ってキャリアが走行するようになったため、移動度が改善されたという効果が得られたのである。

【0027】次に、実施例1の製造工程の一例を図3の断面工程図を参照しながら示す。

【0028】（1）石英ガラス1を凹形の円形ボックス形状にエッチング後、凹部の中心にシード20としてSi, N, をLPCVDで堆積し、バターニングによって形成する。その後、SiH₂Cl₂ + HCl, SiCl₄ + HCl等のガスを使って、シード20としてのSi, N, を中心として結晶成長を行う（図3（a））。

【0029】（2）Siのみを、石英ガラス1をストッパーとして選択研磨する。その後、B⁺を1×10¹³～1×10¹⁵ cm⁻²程度イオン注入し、熱処理することによってP領域を形成する（図3（b））。

【0030】（3）ゲート酸化膜4を直接酸化法によって形成した後、ゲート電極となるポリシリコンを堆積する。イオン注入によりP, As等を1×10¹³～1×10¹⁶ cm⁻²程度ドーピングし、熱処理を行なった後、バターニングして、ゲート電極5を作成する（図3（c））。

【0031】（4）ゲート電極5をマスクにして、As, P等のn型不純物を上部から1×10¹³～1×10¹⁶ cm⁻²程度、イオン注入し、熱処理することにより、ソース、ドレイン領域3となるn⁺領域を形成する（図3（d））。

【0032】（5）層間絶縁膜200となるシリコン酸化物を堆積後、コンタクトの穴をバターニングであける。

【0033】電極100となるAl, Al-Si等の金属をスパッタ等の方法で堆積し、バターニングにより電極、配線を形成する（図3（e））。

【0034】（実施例2）図4に他の実施例を示す。図4において、（a）は特に半導体素子領域を示す平面図であり、（b）は電極等を加えた（a）のA-A'の断面図である。

【0035】本実施例では、1つの円形ボックス中に二つのMOSTランジスタを作成した。図1の実施例と異なるのは、第1のランジスタが、領域3（ソースorドレイン）、領域5（ゲート）、領域3'（ソースorドレイン）で作成され、第2のランジスタが、領域3'（ソースorドレイン）、領域5'（ゲート）、領域3''（ソースorドレイン）で作成され、且つ素子分離領域10が二つのランジスタの活性領域を分離している点である。

【0036】この様な構造により、二つのランジスタのゲート幅を円周の長さで決めることができ、ゲート幅の比を任意に決めることができる。これは例えばインバ

ータとして応用した場合、その最小単位として極めて好都合に設計することができる。

【0037】図5は、図4の等価回路であり、インバータを示している。

【0038】同図において、Voutは共通であり、図4では3'の領域に対応する。本実施例によれば、この様に1つの円形ボックスに容易にインバータ組が作成できる。

【0039】上述した実施例ではボックス、ゲート電極等を円形で作製する例を示したが、5角形以上の多角形であれば、同様の効果が生じることは明らかであり、角数の多い方が良いのは当然である。

【0040】図6は、本実施例と従来例の半導体装置の集積密度を示す平面図であり、(a)図が従来例、

(b)図は本発明の例を示す。従来例の(a)図では4角形のボックスと結晶が一致していないため、ボックスの一边をLとすると、結晶がぶつからないようにするには最小 $\sqrt{2}L$ の間隔が必要となる。一方本発明では、円形のボックスと結晶が一致しているため、直径Lのボックスでは、最小Lまで接近させることができる。そのため、集積度としては、面積で考えると、従来例に比較して $\sqrt{2}L \times \sqrt{2}L / L \times L \sin 60^\circ \approx 2.3$ 倍にすることができる。

【0041】(実施例3)図7は本発明の他の実施例を示す図である。(a)図は、主に素子領域を示す平面図であり、(b)図は電極等を付け加えた断面図である。本実施例の構造は図1とよく似ているが、本例ではゲートがなく、P領域に電極100をとってバイポーラトランジスタとして作製している。

【0042】本例においても、キャリアは結晶形成方向に走行し、結晶欠陥を横切ることとはない。従って前述した実施例と同様に、本発明の作用効果を得られることは明らかである。

【0043】このように本発明は他のデバイスにも容易に応用でき、例えば、接合型FETにも、同様に、キャリア走行方向が結晶形成方向となるように各半導体素子領域を構成することにより適用できる。

【0044】すなわち、欠陥を横切ることなく、欠陥に沿ってキャリアを走行させることにより、センタキシー結晶の利点を、より利用することができるのである。

【0045】

【発明の効果】以上説明した様に、本発明によれば、発

生核付近の欠陥集中部分や放射状欠陥部分をさけて、欠陥を横切ることなく、欠陥に沿ったキャリアの走行方向となる構造としたために、キャリアの移動度が高くなり、かつ、欠陥の多少による移動度のバラツキが少なくなり、特性の安定した半導体装置が得られるという効果がある。

【0046】また、ボックス形状を5角形以上の多角形や円形として形成できるため、集積密度を上げることができる。

【0047】また、1つのボックス中に複数のトランジスタを形成することで、ボックス内の半導体領域を有効に使うことができ、例えば、1ボックス中にインバータを形成することもでき、より一層高密度化対応とすることができる。

【図面の簡単な説明】

【図1】本発明の実施例1の半導体装置を示す図である。

【図2】本発明の実施例1の半導体装置と従来例の装置とのキャリア移動度の比較を示す図である。

【図3】実施例1の製造工程の一例を示す図である。

【図4】本発明の実施例2の半導体装置を示す図である。

【図5】実施例2のインバータの等価回路を示す図である。

【図6】本発明の半導体装置と従来例との集積度を比較する図である。

【図7】本発明の実施例3の半導体装置を示す図である。

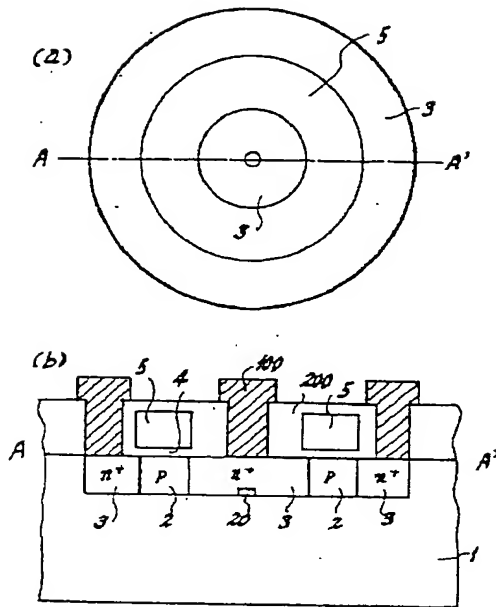
【図8】従来例の4角形のボックスとシードを示す平面図である。

【図9】従来例の半導体装置とその欠陥を示す図である。

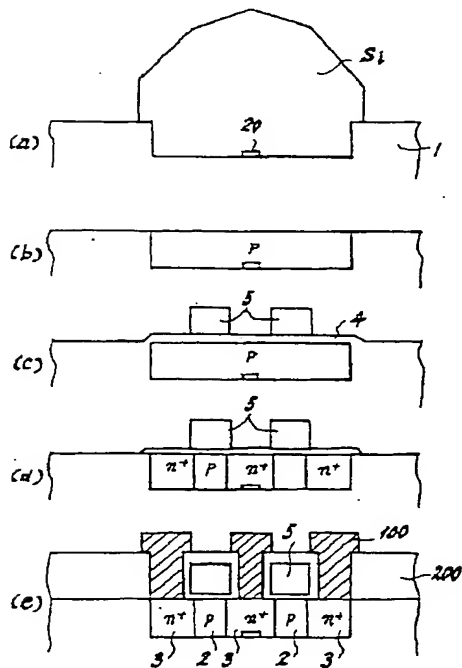
【符号の説明】

- 1 石英ガラス基板
- 2 チャネル領域
- 3 ソースまたはドレイン領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 20 シード
- 100 電極
- 200 層間絶縁膜

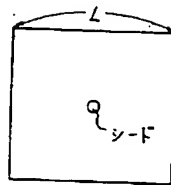
〔図1〕



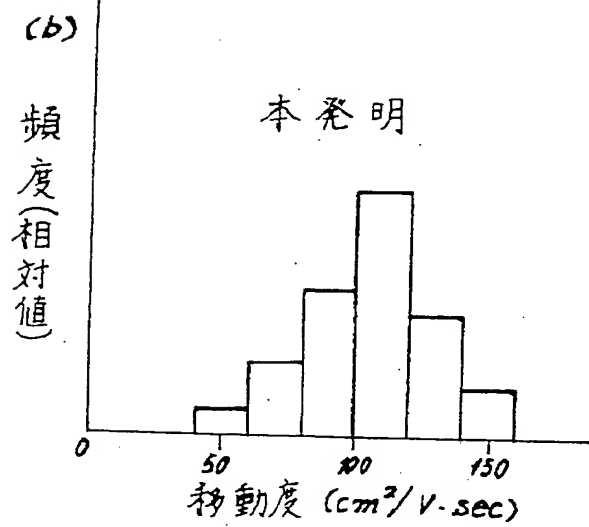
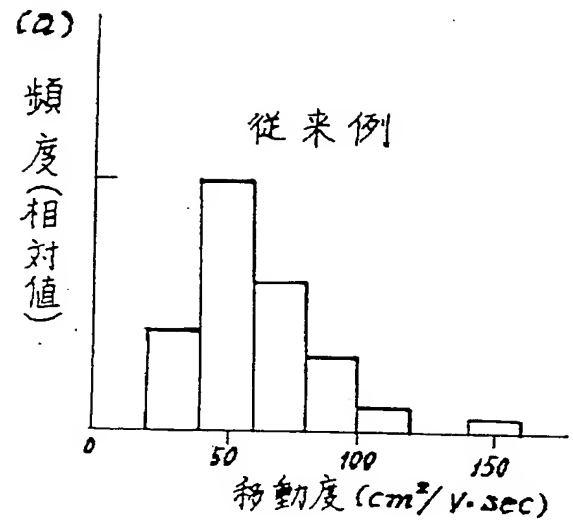
〔図3〕



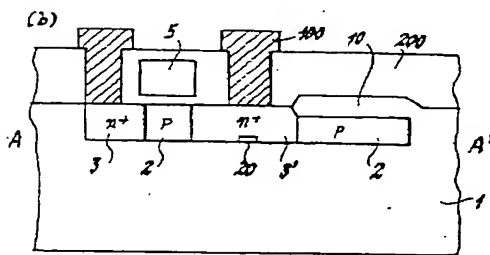
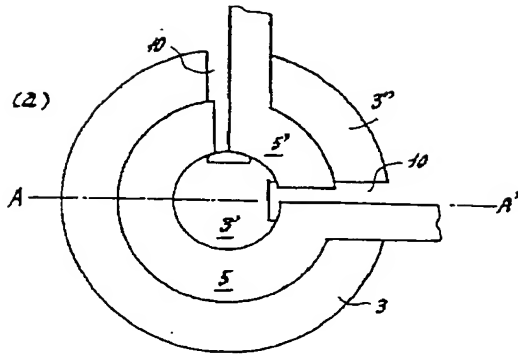
〔図8〕



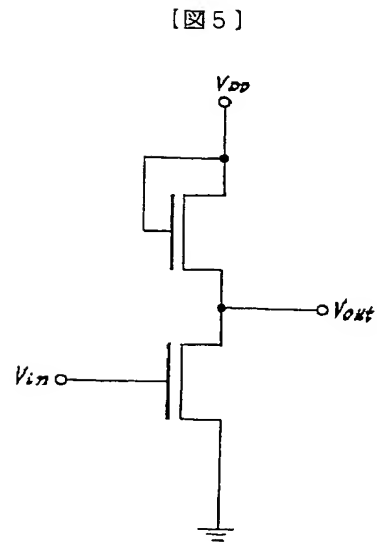
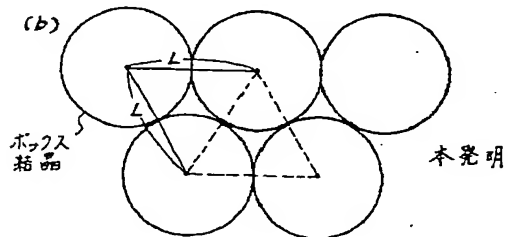
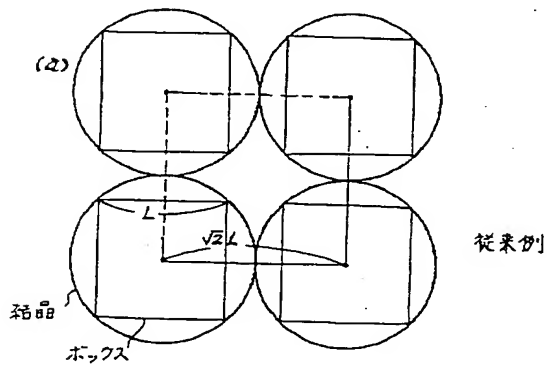
〔図2〕



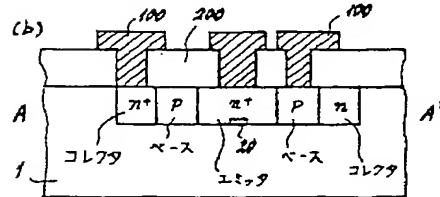
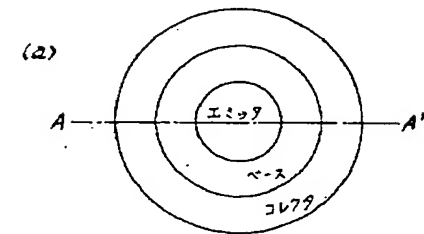
【図4】



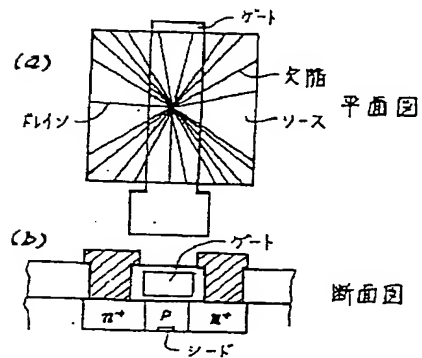
【図6】



【図7】



【図9】



BEST AVAILABLE COPY